

DIALOG(R) File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

05028031 **Image available**

ELECTRON SOURCE AND FORMING METHOD THEREFOR AND IMAGE FORMING APPARATUS

PUB. NO.: 07-320631 [J P-7320631 A]
PUBLISHED: December 08, 1995 (19951208)
INVENTOR(s): ANDO YOICHI
SUZUKI HIDETOSHI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 06-114910 [JP 94114910]
FILED: May 27, 1994 (19940527)
INTL CLASS: [6] H01J-001/30; H01J-009/02; H01L-027/14; H04N-005/66;
H01J-031/15
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 42.2 (ELECTRONICS --
Solid State Components); 44.6 (COMMUNICATION -- Television);
44.9 (COMMUNICATION -- Other)
JAPIO KEYWORD: R012 (OPTICAL FIBERS); R020 (VACUUM TECHNIQUES); R044
(CHEMISTRY -- Photosensitive Resins); R101 (APPLIED
ELECTRONICS -- Video Tape Recorders, VTR); R107 (INFORMATION
PROCESSING -- OCR & OMR Optical Readers); R108 (INFORMATION
PROCESSING -- Speech Recognition & Synthesis); R116
(ELECTRONIC MATERIALS -- Light Emitting Diodes, LED); R139
(INFORMATION PROCESSING -- Word Processors)

ABSTRACT

PURPOSE: To efficiently produce a plurality of surface conductive electron emitting elements arranged in a matrix in the way the elements have uniform properties.

CONSTITUTION: Surface conductive electron emitting elements arranged in a 6X6 matrix are divided into 2X2 small matrices 1-9. Forming for each element is carried out by applying pulses for every 10ms and then raising 0.1V and repeating these processes until the pulse voltage reaches 10V. While pulses being applied to one matrix 1, 1ms pulses can be applied to other eight small matrices successively at a moment of 10ms which is an interval between pulses. That is, forming for elements 1-9 can be carried out in parallel. In the case a unit to which pulses are applied simultaneously is as compact as 2X2, uniform forming can be carried out for each element.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-320631

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 1/30	Z			
9/02	B			
H 0 1 L 27/14				
H 0 4 N 5/66	Z			

H 0 1 L 27/ 14

K

審査請求 未請求 請求項の数18 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願平6-114910

(22) 出願日 平成6年(1994)5月27日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 安藤 洋一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 鎌 英俊

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

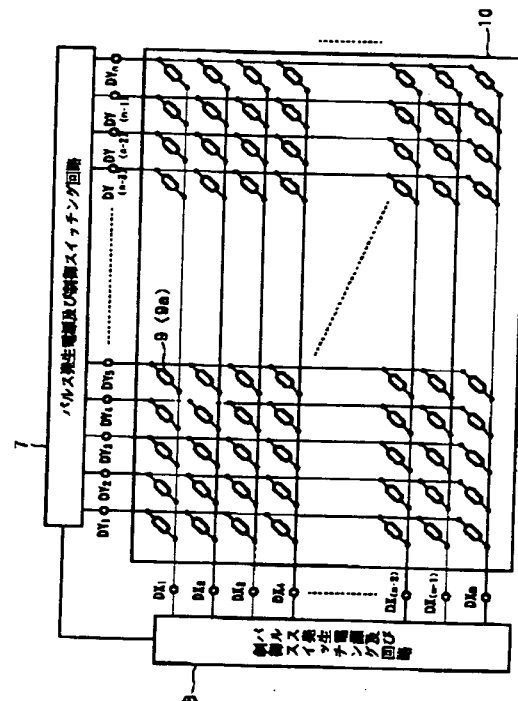
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 電子源及びそのフォーミング方法及び画像形成装置

(57) 【要約】

【目的】マトリクス状に配置された複数の表面伝導型電子放出素子を、均一の特性を有するよう効率的に形成する。

【構成】 6×6 のマトリクス配列された表面伝導型電子放出素子を、①～⑨の 2×2 小マトリクスに分ける。各素子に対するフォーミングは10ms毎のパルス印加を1秒間行い、その後0.1V昇圧して同じことをくり返し、パルス電圧が10Vに達するまで繰り返す。マトリクス①に注目すればパルス間隔である10msの間に1msのパルスを他の8つの小マトリクスにも順に印加することができる。すなわち、①～⑨の素子のフォーミングを並行して行うことができる。パルスを同時に印加する単位が 2×2 程度の規模であれば、各素子を均一にフォーミングすることができる。



【特許請求の範囲】

【請求項1】 複数の表面伝導型放出素子が行方向及び列方向配線に電気的に接続された電子源のフォーミング方法であって、

フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列方向配線より該素子にフォーミング電圧を印加することを特徴とするフォーミング方法。

【請求項2】 前記フォーミング電圧の印加において、フォーミングの対象となる複数の表面伝導型放出素子に接続された行方向および列方向配線それぞれのうち、少なくとも1つの配線を選択し、選択した配線を順次切り換えながらフォーミング電圧を印加することを特徴とする請求項1記載のフォーミング方法。

【請求項3】 前記フォーミング電圧の印加において、フォーミングの対象となる複数の表面伝導型放出素子に接続された行方向および列方向配線に、同時にそれぞれ異なるフォーミング電圧を印加することを特徴とする請求項1記載のフォーミング方法。

【請求項4】 複数の表面伝導型放出素子が行方向及び列方向配線に電気的に接続された電子源であって、フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列方向配線より該素子にフォーミング電圧を印加して製造されることを特徴とする電子源。

【請求項5】 電子源と蛍光体とを有する画像形成装置であって、

行方向および列方向の配線と表面伝導型放出素子とを備え、前記行方向の配線および列方向の配線と、前記表面伝導型放出素子とを電気的に接続し、フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列方向配線より該素子にフォーミング電圧を印加してフォーミングした電子源と、画像信号に応じて前記電子源より放出する電子を制御する制御手段と、

前記電子源より放出された電子により蛍光を発する蛍光体と、を備えることを特徴とする画像形成装置。

【請求項6】 複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングする方法であって、

前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、

前記選択された配線を介して前記素子に所定波形のパルス所定時間間隔で印加し、

前記所定時間間隔内に、前記配線を選択を切り替えて異なる配線を選択しつつ所定時間経過するまで前記パルスの印加を繰り返すことを特徴とするフォーミング方法。

【請求項7】 前記選択される表面伝導型放出素子の所定数は、印加するパルスの電圧が所定値以下には降下し

ない値が選ばれることを特徴とする請求項6記載のフォーミング方法。

【請求項8】 前記印加されるパルスの電圧は、所定時間ごとに段階的に増加されることを特徴とする請求項6記載のフォーミング方法。

【請求項9】 前記表面伝導型放出素子は、導電性超微粒子から成る薄膜を有することを特徴とする請求項6記載のフォーミング方法。

【請求項10】 複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングする方法であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、

前記選択された配線を介して前記所定数の素子各々に互いに異なる電圧のパルスを所定時間間隔で印加し、前記印加するパルスを、各表面伝導型放出素子について所定回数印加するまで繰り返すことを特徴とするフォーミング方法。

【請求項11】 前記印加されるパルスの電圧を、注目素子について前記所定時間間隔で所定量ずつ増加し、前記選択される素子に、前記所定時間間隔毎に1つずつ追加して所定回数パルスを印加した素子をはずすことを特徴とする請求項10記載のフォーミング方法。

【請求項12】 前記表面伝導型放出素子は、導電性超微粒子から成る薄膜を有することを特徴とする請求項10記載のフォーミング方法。

【請求項13】 前記選択される表面伝導型放出素子の所定数は、印加するパルスの電圧が所定値以上降下しない値が選ばれることを特徴とする請求項10記載のフォーミング方法。

【請求項14】 前記表面伝導型放出素子のうち選択されていない素子については、前記パルスと同期して所定電圧を印加することを特徴とする請求項10乃至13いずれかに記載のフォーミング方法。

【請求項15】 前記所定電圧は、前記素子に印加されるパルスの最高電圧の2分の1の値であることを特徴とする請求項14記載のフォーミング方法。

【請求項16】 前記選択される素子は、1列内で選択され、選択されていない列配線に所定電圧のパルスを印加することを特徴とする請求項14記載のフォーミング方法。

【請求項17】 複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングして成る電子源であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、

前記選択された配線を介して前記素子に所定波形のパルスを所定時間間隔で印加し、

前記所定時間間隔内に、前記配線の選択を切り替えて異なる配線を選択しつつ所定時間経過するまで前記パルスの印加を繰り返すことで製造されることを特徴とする電子源。

【請求項18】 複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングして成る電子源であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、

前記選択された配線を介して前記所定数の素子各々に互いに異なる電圧のパルスを所定時間間隔で印加し、前記印加するパルスを、各表面伝導型放出素子について所定回数印加するまで繰り返すことで製造されることを特徴とする電子源。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子源およびその応用である表示装置等の画像形成装置に関わり、特に表面伝導型放出素子を多数個備える電子源およびそのフォーミング方法に関する。

【0002】

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。

【0003】冷陰極電子源には電界放出型（以下FEと略す）、金属／絶縁層／金属型（以下MIMと略す）や表面伝導型放出素子（以下SCEと略す）等がある。

【0004】FE型の例としては、W.P.Dyke & W.W.Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956) や、C.A.Spindt, "PHYSICAL properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248(1976)等が知られている。

【0005】また、MIM型の例として、C.A.Mead, "The tunnel-emission amplifier, J. appl. Phys., 32, (1961) 等が知られている。

【0006】さらに、SCE型の例としては、M.I.Elinson, Radio Eng. Electron Pys., 10, (1965)等がある。

【0007】SCE型は基板上に形成された小面積の薄膜に、膜面に平衡に電流を流すことにより、電子放出が生ずる現象を利用するものである。

【0008】この、表面伝導型放出素子としては、前述のエリンソン(Erinson)等によるSnO₂薄膜を用いたもの、Au薄膜によるもの(G.Dittmer: "Thin Solid Films", 9, 319(1972) In₂O₃/SnO₂薄膜によるもの(M.Hartwell and C.G.Fonstad: "IEEE Trans. ED Conf.", 519(1975)、カーボン薄膜によるもの(荒木久他: 真空、第26巻、第1号、22頁(1983)などが報告されている。

【0009】これらの表面伝導型放出素子の典型的な素

子構成として前述のM.Hartwell (M. ハートウェル)の素子構成を図23に示す。同図において、501は絶縁性基板である。502は電子放出部形成用薄膜で、スパッタで形成された形状金属酸化物薄膜などからなり、後述のフォーミングと呼ばれる通電処理により電子放出部503が形成される。504は電子放出部形成用薄膜に電子放出部503が形成されたもので、電子放出部を含む薄膜と呼ぶ。

【0010】従来、これらの表面伝導型放出素子においては、電子放出を行う前に電子放出部形成用薄膜502に予めフォーミングと呼ばれる通電処理によって電子放出部503を形成するのが一般的である。ここで、フォーミングとは、電子放出部形成用薄膜502の両端に電圧を印加通電し、電子放出部形成用薄膜502を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部503を形成することである。

【0011】なお、電子放出部503は電子放出部形成用薄膜502の一部に亀裂が発生し、その亀裂の付近から電子放出が行われる。以下フォーミングにより発生した電子放出部503を含む電子放出部形成用薄膜を電子放出部を含む薄膜504と呼ぶ。前記フォーミング処理をした表面伝導型放出素子は上述電子放出部を含む薄膜504に電圧を印加し、素子に電流を流すことにより、上述電子放出部503より電子を放出せしめるものである。

【0012】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたる多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置などが挙げられる。多数の表面伝導型放出素子を配列形成した例としては、並列に表面伝導型放出素子を配列し、個々の素子の両端を配線にてそれぞれ結線した行を多数行配列した電子源が挙げられる(例えば、本出願人の特開平1-031332)。

【0013】また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに替わって普及してきたが、自発光型でないため、バックライトを持たなければならない視野角が小さい等の問題点があり、自発光型の表示装置の開発が望まれてきた。表面伝導型放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置は、自発光型で視野角の大きな表示装置である(例えば、本出願人のUSP5066883)。

【0014】

【発明が解決しようとする課題】上述の表示装置をはじめとして、表面伝導型放出素子を応用した各種画像形成パネルにおいては当然のことながら高品位・高精細な画像が望まれる。これを実現するに、発明者等は例えば、単純マトリクス配線された多数の表面伝導型放出素子を

試みた。このため、行および列の数がそれぞれ数百〜数千にも達する非常に多くの素子配列が必要となり、かつ各表面伝導型放出素子の素子特性が均一であることが望まれる。

【0015】このように非常に多くの素子を多数個並列（例えば1列ごと）にフォーミングしようとする、電流の増加による配線、その他の部分へのダメージの問題が出てくる。また電流量の増加に伴う配線抵抗による電圧降下で、各素子ごとに印加される電圧がばらついてしまう現象が起きる。そして、素子のフォーミング時の非線形性の影響で、各素子が経験する電圧パターンに大きな違いを生じ、素子特性がばらつくということが考えられる。また1素子ずつ印加電圧を昇圧してフォーミングしようすると、膨大な時間がかかってしまうという問題があった。

【0016】本発明は上記の問題点に鑑みてなされたものであり、フォーミングにおける素子特性のばらつきを抑えるために、各配線に流れる電流を軽減しながら、多数個同時にかつ時間的に損失することなくフォーミングするフォーミング方法及び該方法による電子源及び画像形成装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明のフォーミング方法は次のような構成から成る。すなわち、複数の表面伝導型放出素子が行方向及び列方向配線に電気的に接続された電子源のフォーミング方法であって、フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列配線より該素子にフォーミング電圧を印加する。

【0018】また、他の態様によれば本発明のフォーミング方法は次のような構成から成る。すなわち、複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングする方法であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、前記選択された配線を介して前記素子に所定波形のパルス所定時間間隔で印加し、前記所定時間間隔内に、前記配線を選択を切り替えて異なる配線を選択しつつ所定時間経過するまで前記パルスの印加を繰り返す。

【0019】また、他の態様によれば本発明のフォーミング方法は次のような構成から成る。すなわち、複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングする方法であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、前記選択された配線を介して前記所定数の素子各々に互いに異なる電圧のパルスを所定時間間隔で印加し、前記印加するパルスを、各表面伝導型放出素子について所定回数印加するまで繰り返す。

【0020】また、本発明の電子源は次のような構成から成る。すなわち、複数の表面伝導型放出素子が行方向及び列方向配線に電気的に接続された電子源であって、フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列方向配線より該素子にフォーミング電圧を印加して製造されることを特徴とする。

【0021】また、他の態様によれば本発明の電子源は次のような構成から成る。すなわち、複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングして成る電子源であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、前記選択された配線を介して前記素子に所定波形のパルスを所定時間間隔で印加し、前記所定時間間隔内に、前記配線を選択を切り替えて異なる配線を選択しつつ所定時間経過するまで前記パルスの印加を繰り返して製造されることを特徴とする。

【0022】また、他の態様によれば本発明の電子源は次のような構成から成る。すなわち、複数の行方向及び列方向の配線によりマトリクス状に接続された複数の表面伝導型放出素子をフォーミングして成る電子源であって、前記複数の行方向配線と列方向配線とにより選択される表面伝導型放出素子が所定数となるように配線を選択し、前記選択された配線を介して前記所定数の素子各々に互いに異なる電圧のパルスを所定時間間隔で印加し、前記印加するパルスを、各表面伝導型放出素子について所定回数印加するまで繰り返して製造することを特徴とする。

【0023】また、本発明の画像形成装置は次のような構成から成る。すなわち、電子源と蛍光体とを有する画像形成装置であって、行方向および列方向の配線と表面伝導型放出素子とを備え、前記行方向の配線および列方向の配線と、前記表面伝導型放出素子とを電気的に接続し、フォーミング処理を行うべき表面伝導型放出素子に対して、該素子が接続された行方向及び列配線より該素子にフォーミング電圧を印加してフォーミングした電子源と、画像信号に応じて前記電子源より放出する電子を制御する制御手段と、前記電子源より放出された電子により蛍光を発する蛍光体と、を備える。

【0024】さらに、上記の目的を達成する本発明のフォーミング方法は、複数の表面伝導型放出素子が行列状に、該素子が行方向および列方向の配線と電気的に接続された状態に配置された電子源のフォーミング方法であって、

①M行×N列に配置された素子の内、1昇圧サイクル内でフォーミングしたいM×N個、またはそれ以下の素子を適当なブロックに分割し、その1ブロック内に含まれる全ての表面伝導型放出素子に対応する行方向および列方向のそれぞれの配線を選択して同一または異なる電圧

を印加し、その選択する配線を各ブロックに対応して順次替え（走査）、全ブロックを切り替え最初のブロックに戻るまでを1走査とすると、1走査内、あるいは1走査ごと、あるいは複数走査ごと、もしくは一定時間ごとに昇圧していくことにより複数個の素子を1昇圧サイクル内でフォーミングすることを特徴とする。

【0025】②M行×N列に配置された素子のうち、1昇圧サイクル内でフォーミングしたい1つまたは複数の行あるいは1つまたは複数の列内の素子に対し、各素子に対応する配線に加える電圧の初期値、昇圧レート、あるいはその電圧を加え始める時間などを変えることにより、その行方向または列方向の同一の配線に接続された素子間に電位差を生じさせながら昇圧していき複数個の素子を1昇圧サイクルでフォーミングすることを特徴とする。

【0026】また上記の目的を達成するための本発明による電子源は、複数の表面伝導型放出素子が行列状に配置された電子源であって、複数の行方向及び列方向配線と、前記行方向の配線および前記列方向の配線と、前記素子とを電氣的に接続する接続手段とを備えることを特徴とする。

【0027】

【作用】上記の構成により、行方向の配線および列方向の配線により素子がマトリクス上に配置される。

【0028】①1昇圧サイクル内でフォーミングしようとする素子をブロックに分割し、そのブロックを走査しながら電圧を印加しフォーミングするため、瞬時的に選択しているブロック内の素子に対応する配線にのみ電流は流れ、該素子に並列にフォーミング電圧を印加した時と比べ各配線の電流は大幅に軽減できる。またフォーミング電圧のパルス間隔とブロックの分割数を適宜選択することにより、該素子に並列にフォーミング電圧を印加した時と比べ時間的損失がない、または1素子ごとに昇圧してフォーミングしたときと比べ大幅に時間を削減することができる。

【0029】②選択した行方向または列方向の配線に接続されている素子は、それぞれに電位差が生じていることにより時間差を持ってフォーミング最終電圧に達するため、該素子を並列に同電位でフォーミングするときと比べ、選択した行方向または列方向の配線に流れる最大電流は軽減できる。また時間差を持ってフォーミング電圧に達するため該素子を並列に同電位でフォーミングする時と比べ、各素子が経験する電圧パターンのばらつきは小さくなり、均一フォーミングが可能となる。

【0030】本発明は、表面伝導型放出素子を多数個備える電子源、並びにこれを用いた画像形成装置にかかわり、そこに備える表面伝導型素子の材料や構造等によらず上述した作用を及ぼすことができる。

【0031】なお、本発明者等は、表面伝導型放出素子の中では電子放出部もしくはその周辺部を微粒子膜から

形成するものが電子放出特性上好ましいことを見いだしている。また製造上の観点からも、微粒子膜は製膜が容易で大面積にわたり多数個を形成するのに適していることに着目している。

【0032】そこで、いかに述べる本発明の好ましい態様、あるいは実施例に関しては、微粒子膜から形成する表面伝導型放出素子を多数個備えた装置について説明する。

【0033】

【実施例】

【第1実施例】以下に、添付の図面を参照して本発明の好適な実施例について説明する。

【0034】まず、本実施例に係わる表面伝導型放出素子について、その概要および製造方法などを説明する。

【0035】以下に特に、本出願人による本実施例にかかる素子の基本的な構成と製造方法およびその特徴（例えば、特開平2-56822等を参考に）し）および本発明者などが鋭意検討した結果見出した本発明の原理となる特性について概説する。

【0036】＜表面伝導型放出素子の基本構成＞本実施例に係わる表面伝導型放出素子の構成、および製法の特徴としては、次のようなものが挙げられる。なお、以下に示される参照番号は後述の図14において付された番号である。

【0037】1）フォーミングと呼ばれる通電処理前の電子放出部形成用薄膜202は、微粒子分散体を分散し、形成された微粒子からなる薄膜、あるいは有機金属などを加熱焼成し形成された微粒子からなる薄膜等、基本的には微粒子より構成される。

【0038】2）フォーミングと呼ばれる通電処理後の電子放出部を含む薄膜204は、電子放出部203を含めて、基本的には、微粒子により構成される。

【0039】絶縁性基板201としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法などにより形成したSiO₂を積層したガラス基板等及アルミナ等のセラミックスなどが挙げられる。

【0040】本実施例にかかる表面伝導型放出素子の基本的な構成には、平面型および垂直型の2つの構成が挙げられる。まず、平面型表面伝導型放出素子について説明する。

【0041】図14(a)および(b)は、それぞれ本実施例にかかる基本的な平面型表面伝導型放出素子の構成を示す平面図および断面図である。図14を用いて、本実施例にかかる素子の基本的な構成を説明する。図14において、201は絶縁性基板、205と206は素子電極、204は電子放出部を含む薄膜、203は電子放出部である。なお、202は電子放出部形成薄膜であり、電子放出部203を形成する前の薄膜を表わす。

【0042】対向する素子電極205、206の材料と

しては導電性を有するものであればどのようなものであっても構わないが、例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属あるいは合金およびPd, Ag, Au, RuO₂, Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In₂O₃等の透明導電体およびポリシリコン等の半導体材料などが挙げられる。

【0043】素子電極間隔L1は、数百オングストロームより数百マイクロメートルであり、素子電極の製法の基本となるフォトリソグラフィ技術、即ち、露光機の性能とエッチング方法等、及び素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、1マイクロメートルより10マイクロメートルである。素子電極長さW1、素子電極205、206の膜厚dは、電極の抵抗値、前述したX、Y配線との結線、多数配置された電子源の配置上の問題より適宜設計され、通常は、素子電極長さW1は、数マイクロメートルより数百マイクロメートルであり、素子電極205、206の膜厚dは、好ましくは数百オングストロームより数マイクロメートルである。

【0044】絶縁性基板201上に設けられた対向する素子電極205と素子電極206間及び素子電極205、206上に設置された電子放出部を含む薄膜204は、電子放出部203を含む。図14(b)では、電子放出部を含む薄膜204が素子電極205、206上に設置された場合を示すが、素子電極205、206上に電子放出部を含む薄膜204が設置されない場合もある。すなわち、絶縁性基板201上に電子放出部形成用薄膜202を積層した後、対向する素子電極205、206の電極という順序で積層構成した場合である。

【0045】また、製法によっては、対向する素子電極205と素子電極206間全てが電子放出部として機能する場合もある。この電子放出部を含む薄膜204の膜厚は、数オングストロームより数千オングストローム、好ましくは10オングストロームから200オングストロームであり、素子電極205、206間の抵抗値および電子放出部203の導電性微粒子の粒径、後述する通電処理条件等によって適宜設定される。その抵抗値は $10^3 \sim 10^7 \Omega/\square$ のシート抵抗値を示す。

【0046】電子放出部を含む薄膜204を構成する材料の具体例を挙げるならば、Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃等の酸化物、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄等の硼化物、TiC, ZrC, HfC, TaC, SiC, WC等の炭化物、TiN, ZrN, HfN等の窒化物、Si, Ge等の半導体、カーボン、AgMg, NiCu, Pb, Snなどが挙げられ、これらは微粒子膜からなる。

【0047】なお、ここで述べる微粒子膜とは、複数の

微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜を指す。

【0048】電子放出部203は、数オングストロームより数千オングストローム、好ましくは10オングストロームから200オングストロームの粒径の導電性微粒子多数個からなり、電子放出部を含む薄膜204の膜厚および後述する通電処理条件等の製法に依存しており、適宜設定される。電子放出部を含む薄膜204を構成する材料の元素の一部あるいは全てと同様のものである。

【0049】＜基本的製造方法＞電子放出部203を有する表面伝導型放出素子の製造方法としては様々な方法が考えられるが、その一例を図15に示す。なお、202は電子放出部形成用薄膜で、例えば微粒子膜が挙げられる。

【0050】以下、順を追って製造方法を図14および図15に基づいて説明する。

【0051】1) 絶縁性基板201を洗剤、純水および有機溶剤により十分に洗浄後、真空蒸着技術、スパッタ法などにより素子電極材料を堆積後、フォトリソグラフィ技術により該絶縁性基板201の面上に素子電極205、206を形成する（図15(a)）。

【0052】2) 絶縁性基板201上に設けられた素子電極205と素子電極206との間、及び素子電極205と206を形成した絶縁性基板上に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なお、有機金属溶液とは、前記Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属を主元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、電子放出部形成用薄膜202を形成する（図15(b)）。

【0053】なお、ここでは、有機金属溶液の塗布法を用いてるがこれに限られるのではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等によっても形成される場合がある。

【0054】3) つづいてフォーミングと呼ばれる通電処理を行う。ここで、素子電極205、206間に電圧を不図示の電源によりパルス状電圧による通電処理が行われると、電子放出部形成用薄膜202の部位に構造の変化した電子放出部203が形成される（図15(c)）。

【0055】この通電処理により電子放出形成用の薄膜202を局所的に破壊、変形もしくは変質させる。このように、フォーミングにより構造の変化した部位を電子放出部203と呼ぶ。先に説明したように、電子放出部203は導電性微粒子で構成されていることを本発明者らは観察している。

【0056】図16中、T1およびT2は電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒、三角波の波高値（フォーミング時のピーク電圧）は4V～10V程度、フォーミング処理は真空雰囲気下で数十秒間程度の範囲で適宜選択した。

【0057】以上説明した電子放出部を形成する際に、素子の電極間に三角波パルスを印加してフォーミング処理を行っているが、素子の電極間に印加する波形は三角波に限定されるものではなく、矩形波など所望の波形を用いてもよい。更に、その波高値およびパルス幅・パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成されれば所望の値を選択することができる。

【0058】＜基本特性について＞上述のような素子構成と製造方法によって作成された本実施例に係わる表面伝導型放出素子の特性の評価方法について図17を用いて説明する。

【0059】図17は、図14で示した構成を有する表面伝導型放出素子の電子放出特性を測定するための測定評価装置の概略構成図である。図17において、201は絶縁性基板、205および206は素子電極、204は電子放出部を含む薄膜、203は電子放出部である。231は電源であり、素子に素子電圧 V_f を印加する。230は電流計であり、素子電極205、206間の電子放出部を含む薄膜204を流れる素子電流 I_f を測定する。234はアノード電極であり、電子放出部203より放出される放出電流 I_e を捕捉する。233は高压電源であり、アノード電極234に電圧を印加する。232は電流計であり、電子放出部203より放出電流 I_e を測定する。

【0060】表面伝導型放出素子の上記素子電流 I_f 、放出電流 I_e の測定にあたっては、素子電極205、206に電源231と電流計230とを接続し、該表面伝導型放出素子の上方に電源233と電流計232とを接続したアノード電極234を配置している。また、本表面伝導型放出素子およびアノード電極234は真空装置235内に設置され、その真空装置235には不図示の排気ポンプおよび真空装置に必要な機器が具備されており、所望の真空下で本素子の測定評価を行えるようになっている。

【0061】なお、アノード電極234の電圧は1kV～10kV、アノード電極234と表面伝導型放出素子との距離Hは3mmから8mmの範囲で測定した。

【0062】なお、予め導電性微粒子を分散して構成した表面伝導型放出素子においては、前記本実施例の基本的な素子構成の基本的な製造方法のうち一部を変更してもよい。

【0063】図17に示した測定評価装置により測定された放出電流 I_e 及び素子電流 I_f と素子電圧 V_f の関

係の典型的な例を図18に示す。なお、図18は任意単位で示されており、放出電流 I_e に対する3つの特性を有する。

【0064】まず、第一に、本素子はある電圧（しきい値電圧と呼ぶ、図18中の V_{th} ）以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e がほとんど検出されない。すなわち、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0065】第二に、放出電流 I_e が素子電圧 V_f に依存する。また、電子放出電流 I_e がほぼ素子電流 I_f に比例する領域がある。

【0066】第三に、アノード電極234に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。すなわち、アノード電極234に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0067】以上のような特性を有するため、本実施例にかかわるSCEは、多方面への応用が期待できる。例えば、画像形成パネルを構成した場合、画素の明るさは単位時間内に蛍光体に照射される電子のエネルギー総量によって決まる。電子源とアノード234の間にかける加速電圧 V_a は、どの画素にたいしてもほぼ一定に印加されるので、画素の明るさは電子源からの放出電子量と電子放出時間によって決まる。

【0068】次に本実施例にかかる別な構成の表面伝導型放出素子である垂直型表面伝導型放出素子について説明する。

【0069】図19は本実施例にかかる垂直型表面伝導型放出素子の基本的な構成を示す図面である。図19において、251は絶縁性基板、255、256は素子電極、254は電子放出部を含む薄膜、253は電子放出部、257は段差形成部である。なお、電子放出部253は、段差形成部257の厚さ、製法および、電子放出部を含む薄膜254の厚さ、製法等によって、その位置は変化し、図19で示された位置に限るものではない。

【0070】絶縁性基板251、素子電極255と256、電子放出部を含む薄膜254、電子放出部253は、前述した平面型表面伝導型放出素子と同様の材料で構成されたものである。したがって、ここでは、垂直型表面伝導型放出素子を特徴付ける段差形成部257及び電子放出部を含む薄膜254について詳述する。

【0071】段差形成部257は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等の絶縁性材料で構成される。段差形成部257の厚さが先に述べた平面型表面伝導型放出素子の素子電極間隔 L_1 に対応し、数百オングストロームより数十マイクロメートルである。段差形成部257の厚さは、段差形成部257のも製法、および素子電極間に印加する電圧と電子放出し得る電界強度により設定されるが、好ましくは、千オングストロームより10マイクロメートルである。

【0072】電子放出部を含む薄膜254は、素子電極255、256と段差形成部257の作成後に形成されるため、素子電極255、256の上に積層され、場合によっては素子電極255、256との電氣的接続を担う重なりの一部を除いた所望の形状にされる。また、電子放出部を含む薄膜254の膜厚は、その製法に依存して、段差部での膜厚と素子電極255、256の上に積層された部分の膜厚とは異なる場合が多く、一般に段差部分の膜厚が薄い。その結果、前述した平面型表面伝導型放出素子と比べて、容易に通電処理され、電子放出部3が形成される場合が多い。

【0073】＜マトリクス＞次に上述の表面伝導型放出素子をマトリクス上に配列した電子源について説明する。

【0074】電子源基板の構成について図20を用いて説明する。同図において、271は絶縁性基板、272はX方向配線、273はY方向配線、274は表面伝導型放出素子、275は結線である。尚、表面伝導型放出素子274は、前述した平面あるいは垂直型のいずれであってもよい。

【0075】同図において、絶縁性基板271は、前述したガラス基板等であり、その大きさ及びその厚みは、絶縁性基板271に設置される表面伝導型放出素子の個数及び個々の素子の設計上の形状、及び電子源の使用時に容器の一部を構成する場合には、その容器を真空に保持するための条件等に依存して適宜設定される。

【0076】m本のX方向配線272は、DX1、DX2、…DXmからなり、絶縁性基板271上に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属などからなり、多数の表面伝導型放出素子にはほぼ均等な電圧が供給されるように、材料、膜厚、配線幅が設定される。Y方向配線273は、DY1、DY2、…DYnのn本の配線よりなり、X方向配線272と同様に、真空蒸着法、印刷法、スパッタ法等で形成し、所望のパターンとした導電性金属などからなり、多数の表面伝導型放出素子にできるだけ均等な電圧が供給されるように、材料、膜厚、配線などが設定される。これらm本のX方向配線272とn本のY方向配線273の間には、不図示の層間絶縁層が設置され、電氣的に分離されて、マトリクス配線を構成する（このm、nは、ともに正の整数）。

【0077】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等であり、X方向配線272を形成した絶縁性基板271の全面あるいは一部の所望の形状で形成され、特に、X方向配線272とY方向配線273は、それぞれ外部端子として引き出される。

【0078】尚、上述の例では、m本のX方向配線272の上にn本のY方向配線273を層間絶縁層を介して設置した例で説明したが、n本のY方向配線273の上

にm本のX方向配線272を層間絶縁層を介して設置する場合もある。

【0079】更に、前述と同様にして、表面伝導型放出素子274の対向する電極（不図示）として真空蒸着法、印刷法、スパッタ法等で形成された導電性金属などからなる結線275を有する。すなわち、表面伝導型放出素子274は、結線275によってm本のX方向配線272及びn本のY方向配線273と電氣的に接続されている。

【0080】尚、m本のX方向配線272、n本のY方向配線273、および対向する素子電極である結線275の導電性金属は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよく、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金およびPd、Ag、Au、RuO₂、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体およびポリシリコン等の半導体材料などより適宜選択される。また、表面伝導型放出素子は、絶縁性基板271あるいは不図示の層間絶縁層上のどちらに形成してもよい。

【0081】また、前記X方向配線272には、X方向に配列する表面伝導型放出素子274の行を任意に走査するための走査信号を印加するための不図示の走査信号発生手段と電氣的に接続されている。一方、Y方向配線273には、Y方向に配列する表面伝導型放出素子274の列の各列を任意に変調するための変調信号を印加するための不図示の変調信号発生手段と電氣的に接続されている。更に、表面伝導型放出素子の各素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0082】＜画像形成装置の基本構成＞次に、以上のようして作成した電子源を用いて表示などを行う画像形成装置について図21および図22を用いて説明する。図21は画像形成装置の基本構成図であり、図22は蛍光膜を表わす図である。

【0083】271は絶縁性基板であり、絶縁性基板271の上には上述のようにして電子放出素子が形成されている。以後これを電子源基板と称する。281は電子源基板を固定したリアプレート、286はガラス基板283の内面に蛍光膜284とメタルバック285などが形成されたフェースプレートである。282は支持枠であり、リアプレート281およびフェースプレート286をフリットガラス等で封着して外周器288を構成している。

【0084】上述の構成では、外周器288をフェースプレート286、支持枠282、リアプレート281で構成したが、リアプレート281は主に電子源基板の強度を補強する目的で設けられているため、電子源基板自体で十分な強度を有する場合は、別体のリアプレート2

81は不要であり、電子源基板に直接支持棒282を封着し、フェースプレート286、支持棒282、電子源基板にて外周器288を構成してもよい。

【0085】図22は、蛍光膜を表わす図である。蛍光膜284は、モノクロームの場合は蛍光体のみからなるが、カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクス等と呼ばれる黒色導電材291と蛍光体292で構成される。

【0086】ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合必要となる三原色蛍光体の各蛍光体間の塗り分け部を黒くすることで混色などを目立たなくすることと、蛍光膜284における外光反射によるコントラストの低下を抑制することである。ブラックストライプ、ブラックマトリクスの材料としては通常よく用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過および反射が少ない材料であればこれに限るものではない。

【0087】ガラス基板283に蛍光体を塗布する方法はモノクローム、カラーによらず沈殿法や印刷法が用いられる。

【0088】また、蛍光膜284内面側には通常メタルバック285が設けられる。メタルバックの目的は、蛍光体の発光のうち内面側への光をフェースプレート286側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外周器内で発生した負イオンの衝突によるダメージからの蛍光体の保護等である。

【0089】メタルバック285は、さらに蛍光膜284の作成後、蛍光膜284の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後A1を真空蒸着することで作製できる。

【0090】フェースプレート286には、更に蛍光膜284の伝導性を高めるため、蛍光膜284の外面側に透明電極（不図示）を設けてもよい。尚、前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0091】外周器288は、不図示の排気管を通じ、 10^{-6} [torr] 程度の真空度にされ、外周器288の封止が行われる。

【0092】尚、容器外端子DOX1~DOXmとDOY1~DOYnを通じ素子電極205、206間に電圧を印加し、上述のフォーミングを行い、電子放出部203を形成して電子放出素子を作製した。また、外周器288の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外周器288の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等の加熱法により、外周器288内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Baなどが主成分であり、蒸着膜

の吸収作用により、例えば 1×10^{-5} ないしは 1×10^{-7} [torr] の真空度を維持するものである。

【0093】以上のようにして完成した本実施例に係わる画像形成装置において、各電子放出素子には、容器外端子DOX1ないしDOXm、DOY1ないしDOYnを通じ、電圧を印加することにより電子放出させ、高圧端子Hvを通じ、メタルバック285あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜284に衝突させ、励起・発光させることで画像を表示するものである。

【0094】以上述べた構成は、表示等に用いられる好適な画像形成装置を作製する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像形成の用途に適するよう適宜選択する。

【0095】また、本発明の思想によれば、表示に用いるのに好適な画像形成装置に限るものではなく、感光性ドラムと発光ダイオード等で構成された光プリンタの発光ダイオードの代替の発光源として、上述の画像形成装置を用いることもできる。またこの際、上述のm本のX方向配線272とn本のY方向配線273を、適宜選択することで、ライン上発光源だけでなく、2次元状の発光源としても応用できる。

【0096】尚、以上の表面伝導型放出素子の基本的な構成、製法について述べたが、本発明の思想によれば、上述の構成等に限定されず、後述の電子源、表示装置等の画像形成装置においても適用できる。

【0097】＜フォーミング＞図1は本実施例におけるフォーミングを行うための電気回路の概略構成を示したブロック図である。図1において、9は表面伝導型放出素子であり、電子放出部形成用薄膜9aにフォーミング処理を実行することにより電子放出部を含む薄膜を形成したものである。表面伝導型放出素子9はm×nのマトリクス配置となっており、表面伝導型放出素子9を多数個備える電子源10（以降電子源10と称する）を構成する。

【0098】7、8はそれぞれパルス発生電源および制御スイッチング回路である。パルス発生電源および制御スイッチング回路7は行方向の端子DY1ないしDYnにフォーミングパルスを印加するかグランドにするかフローティングの状態にするかを切り替えるスイッチ素子と、フォーミングを行うために行方向の端子DY1ないしDYnを選択するスイッチ素子と、それらの切替動作およびパルスの波高、幅、周期、発生タイミングなどを制御する回路からなる。パルス発生電源および制御スイッチング回路8は列方向においてパルス発生電源および制御スイッチング回路7と同じ働きをする。またパルス発生電源および制御スイッチング回路7、8は複数の端子を同時に選択することも可能である。

【0099】これら2つの制御スイッチング回路は、互

いに同期してパルス発生/スイッチングを行うことができる。

【0100】まず、電圧を印加すべき表面伝導型放出素子につながる配線の選択法を図1および図2を用いて説明する。図2は電子源10の全マトリクス中の 6×6 マトリクスを抽出した図である。説明上各表面伝導型放出素子を区別するために、 $D(1, 1)$ 、 $D(1, 2)$ ないしは $D(6, 6)$ のように (X, Y) 座標で位置を示している。

【0101】例えば図2の $D(3, 2)$ の表面伝導型放出素子に電圧を印加する場合には、パルス発生電源および制御スイッチング回路7、8により端子DY2および端子DX3を選択して両者の間にフォーミングパルスを印加し、その他の端子はフローティングまたはグラウンドの状態になる。この場合選択した2つの端子に所望の電圧がかかっているため、片方がグラウンドでも両者に電位を与えても構わない。

【0102】フォーミング処理は、各素子に図16におけるT1(パルス幅)が1ミリ秒、T2(パルス間隔)が10ミリ秒の三角波を印加するようにして、波高値の昇圧レートは毎秒0.1Vとし、約 1×10^{-6} [torr]の真空雰囲気化で100秒間、つまり10Vまで行った。

【0103】次に本実施例のフォーミング法でこの 6×6 マトリクス内の36素子を1昇圧サイクル内でフォーミングする方法を図2および図3を用いて詳しく説明する。まずDX1、DX2、DY1、DY2の4本の配線を選択し、 $D(1, 1)$ 、 $D(1, 2)$ 、 $D(2, 1)$ 、 $D(2, 2)$ の4素子(図2のブロック①の4素子)に波高0.1V、パルス幅1ミリ秒の三角波電圧を印加する。1パルス印加し終ったら(本実施例の場合1ミリ秒後)、次にDX1、DX2はそのままでDY1、DY2の代わりにDY3、DY4を選択し $D(1, 3)$ 、 $D(1, 4)$ 、 $D(2, 3)$ 、 $D(2, 4)$ の4素子(図2のブロック②の4素子)に同様のパルス電圧を印加する。このようなことを次々に繰り返して、全体を4素子ずつ9つのブロックに分け(図2のブロック①～⑨)、パルス間隔(本実施例の場合10ミリ秒)の間に9回選択配線を切り換える。このような走査を続けながら1秒ごとに印加パルスの波高を0.1Vずつ10Vまで昇圧する。図3に横軸に時間をとったときの各ブロックの素子に加えられるパルス電圧を示す。

【0104】 6×6 素子を1ブロックとした場合に、1ブロックをフォーミングする制御手順を図25に示す。 V_p は素子に印加するパルスの波高であり、 i は列方向配線DXの添字を、 j は行方向配線DYの添字を表す。

【0105】まず、パルスの波高の初期値を0.1

[V]に設定し、最初に選択する行・列各方向の配線を1、2とする。その後、選択した配線に電圧を印加し

て、フォーミング対象の素子に波高 V_p の三角パルスを

1ms間印加する。この時パルス V_p が印加される素子は、 $D(i, j)$ 、 $D(i, j+1)$ 、 $D(i+1, j)$ 、 $D(i+1, j+1)$ の4素子である。その後、行方向の6素子に対するパルス印加が終えたか判定するために $j=3$ か否か判定し、 $j=3$ でなければ j に1加算して行方向に隣接する次のブロックを選択する。行方向で最後の素子、すなわちDY5、DY6が選択されているならば、列方向の6素子に対するパルス印加が終えているか判定するために $i=3$ か否か判定する。 $i=3$ でなければまだ未処理のブロックが残っているため、 i に1加算する。列方向にも最後のブロックであるなら、 6×6 マトリクス内の全素子に対して同一の波高のパルス印加を終了しているため、同一パルスを印加し始めてから1秒経過したかテストし、経過していなければ再びそれまでと同じ波高のパルスを与える。1秒経過したならば、 $V_p=10$ [V]まで終了していないなら0.1 [V]印加電圧を上げて始めのブロックからパルスの印加を繰り返す。なお、1秒の経過の判定は、経過後ではなく、次のループで1秒経過してしまうことを判定してもよい。この手順はDX1～DX6、DY1～DY6の 6×6 マトリクスに対する手順であるが、行・列各方向について6ずつずらしていけば、マトリクス上の電子源全体に対して同様の手順でフォーミングすることができる。

【0106】この方法によれば各素子及び各配線は、そのブロック内の1グループを成す4素子のみを同時にフォーミングした時と全く同じ条件でフォーミングされ、かつ1昇圧サイクルと同一時間で9倍の面積をフォーミングできる。つまり1ラインの6素子を並列に6回(6昇圧サイクル)でフォーミングした時と比べ、各配線電流は3分の1に軽減され、時間は6分の1に短縮される。

【0107】すなわち、この方法によりフォーミングを行うことで、ブロック内の4素子のフォーミングによるばらつきと配線抵抗による電圧降下の違いによるブロックごとのフォーミングのばらつきとを、無視できる程充分小さな幅に抑えることができるため、フォーミングに要する時間を大幅に短縮しながら複数個の素子を均一にフォーミングすることが可能になる。

【0108】尚、本実施例は $m \times n$ マトリクス内の 6×6 マトリクス36素子を1単位として1昇圧サイクルでフォーミングしているが、ブロック内の素子数の上限は許容電流量で決まり、ブロック数の上限はフォーミング時に印加するパルス間隔で決まるため、これらの数は上記の限りではない。またブロックは正方形である必要はなく、ブロックを構成する素子は隣接している必要もないし、ブロック内の素子に電位差与えてもよい。

【0109】<電子源基板の構成及び製造工程>次に本実施例のフォーミング方法で製造された電子源10について更に説明する。

【0110】電子源10の一部の平面図を図9に示す。また、図中のA-A'断面図を図10に、その製造方法を示す図を図11、図12に示す。但し、図10、図11、図12で同じ記号で示したものは同じ部位を示す。ここで1は基板、72は図7のDXmに対応するX方向配線（下配線とも呼ぶ）、73は図7のDYnに対応するY方向配線（上配線とも呼ぶ）、4は電子放出部を含む薄膜、5、6は素子電極、111は層間絶縁層、112は素子電極5と下配線72と電気的接続のためのコンタクトホールである。

【0111】次に製造方法を図11、図12により工程順に従って具体的に説明する。

【0112】工程-a

清浄化した青板ガラス上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着により厚さ50オングストロームのCr、厚さ6000オングストロームのAuを順次堆積した後、ホトレジスト（AZ1370 ヘキスト社製）をスピナーにより回転塗布、バークした後、ホトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして所望の形状の下配線72を形成する（図11の（a））。

【0113】工程-b

次に厚さ1.0ミクロンのシリコン酸化膜からなる層間絶縁層111をRFスパッタ法により堆積する（図11の（b））。

【0114】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール112を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層111をエッチングしてコンタクトホール112を形成する（図11の（c））。尚、エッチングはCF4とH2ガスを用いたRIE (Reactive Ion Etching)法によった。

【0115】工程-d

その後、素子電極5と素子電極間ギャップGとなるべきパターンをホトレジスト（RD-2000N-41 日立化成社製）形成し、真空蒸着法により、厚さ50オングストロームのTi、厚さ1000オングストロームのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Gは3ミクロンとし、素子電極の幅（図14の（a）のW1に相当する）が300ミクロンとなるように素子電極5、6形成した（図11の（d））。

【0116】工程-e

素子電極5、6の上に上配線73のホトレジストパターンを形成した後、厚さ50オングストロームのTi、厚さ5000オングストロームのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線73を形成した（図12の（e））。

【0117】工程-f

図13に本工程に関わる電子放出素子の電子放出部形成用薄膜4のマスク平面図の一部を示す。素子間電極ギャップL1およびこの近傍に開口を有するマスクであり、このマスクにより膜厚1000オングストロームのCr膜121を真空蒸着により堆積・パターニングし、その上に有機Pd（ccp4230の奥野製薬（株）社製）をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした（図12の（f））。また、こうして形成された主元素としてPdよりなる微粒子からなる電子放出部形成用薄膜4の膜厚は100オングストローム、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。尚、ここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（島状も含む）の膜を指し、その粒径とは前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0118】工程-g

Cr膜121および焼成後の電子放出部形成用薄膜4を酸エッチャントによりエッチングして所望のパターンを形成した（図12の（g））。

【0119】工程-h

コンタクトホール112部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ50オングストロームのTi、厚さ5000オングストロームのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール112を埋め込んだ（図12の（h））。

【0120】以上の工程により、絶縁性基板1上に下配線72、層間絶縁層111、上配線73、素子電極5、6、電子放出部形成用薄膜4を形成した。

【0121】＜表示装置の説明＞次に、以上のようにして作成した電子源基板を用いて表示装置を構成した例を図21と図22を用いて説明する。

【0122】上述のようにして多数の平面型表面伝導型放出素子を作成した基板271をリアプレート281上に固定した後、基板1の5mm上方に、フェースプレート286（ガラス基板283の内面に蛍光膜284とメタルバック285が形成された構成される）を支持棒282を介し配置し、フェースプレート286、支持棒282、リアプレート281の接合部にフリットガラスを塗布し、大気中あるいは窒素雰囲気中で400℃～500℃で10分以上焼成することによって封着した（図21）。また、リアプレート281への基板1の固定もフリットガラスで行った。尚、図21において、274は電子放出素子、272と273はそれぞれX方向およびY方向の素子配線である。

【0123】蛍光膜284は、モノクロームの場合は蛍光体のみからなるが、本実施例では、蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、そ

の間隙部に各色蛍光体を塗布し、蛍光膜284を作成した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。尚、ガラス基板283に蛍光体を塗布する方法はスラリーを法を用いた。

【0124】また、蛍光膜284の内面側には通常メタルバック285を設けた。このメタルバックは、蛍光膜作成後、蛍光膜の内面側表面の平滑化処理（通常フィリミングと呼ばれる）を行い、その後、A1を真空蒸着することで作成した。

【0125】フェースプレート286には、更に蛍光膜284の導電性を高めるため、蛍光膜284の外面側に透明電極（不図示）が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0126】また、前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0127】以上のようにして完成したガラス容器内の雰囲気は排気管（図示せず）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子D0X1~D0XmとD0Y1~D0Ynを通じ電子放出素子274の素子電極間に電圧を印加して、電子放出部を、電子放出部形成用薄膜に通電処理（フォーミング処理）することにより作成した。

【0128】フォーミングは全素子のうち6×6マトリクスの36素子を1単位として行い、更にその中を9つのブロックに分け、前述の方法により行った。

【0129】このように作成された電子放出部は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30オングストロームであった。

【0130】次に 10^{-6} [torr]程度の真空度で、不図示の排気管をガスバーナーで熱することで容着し外周部の封止を行った。

【0131】最後に封止後の真空度を維持するために、ゲッター処理を行った。これは、封止を行う直前あるいは直後に、抵抗加熱あるいは高周波加熱等の加熱法により、画像形成装置内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。

【0132】ゲッターは通常Baなどが主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-5} \sim 1 \times 10^{-7}$ [torr]の真空度を維持するものである。

【0133】以上のように完成した本実施例の画像表示装置において、各電子放出素子には、容器外端子D0X1~D0Xm、D0Y1~D0Ynを通じ、走査信号および変調信号を不図示の信号発生手段よりそれぞれ印加することにより電子放出させ、高圧端子Hvを通じ、メタルバック285、あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜284

に衝突させ、励起・発光させることで画像を表示した。

【0134】また、上述の工程で作成した平面型表面伝導型放出素子の特性を把握するために、同時に、図14に示した平面型表面伝導型放出素子のL1、W1、W2等同様のものにした標準的な比較サンプルを作成し、その電子放出特性の測定を上述の図17の測定評価装置を用いて行った。尚、比較サンプルの測定条件は、アノード電極と電子放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を 1×10^{-6} [torr]とした。

【0135】比較サンプルの電極205および206の間に素子電圧を印加し、その時に流れる素子電流Ifおよび放出電流Ieを測定したところ、本素子では、素子の電圧8V程度から急激に放出電流Ieが増加し、素子電圧14Vでは素子電流Ifが2.2mA、放出電流Ieが1.1μAとなり、電子放出効率 $\eta = Ie / If$ (%)は0.05%であった。

【0136】尚、上述の工程a~hの後に上記フォーミング処理を行えば、本実施例の電子源が完成する。

【0137】以上説明したように、本実施例の手順でフォーミングを行えば、非常に多くの素子を多数個並列（例えば1列ごと）にフォーミングしようとした場合に、電流の増加による配線、その他の部分に与える電極の溶断や基板の破壊といったダメージを避けることができる。また電流量の増加に伴う配線抵抗による電圧降下で、各素子ごとに印加される電圧がばらついてしまう現象をも避けることができる。その上、素子のフォーミング時の非線形性の影響で、各素子が経験する電圧パターンに大きな違いを生じ、素子特性がばらつくということもなく、1昇圧サイクルでパルス間隔に応じた数の素子のブロックをフォーミングできるため、フォーミング時間の増大を抑制することができる。

【0138】次に、上記のようにして作成した電子源を用いたディスプレイパネルの応用例を説明する。

【0139】<SCEの応用例>図24は、前記説明のSCEを用いたディスプレイパネルに、たとえばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中2400は、図21に示すような構成のディスプレイパネル、2401はディスプレイパネルの駆動回路、2402はディスプレイコントローラ、2403はマルチプレクサ、2404はデコーダ、2405は入出力インターフェース回路、2406はCPU、2407は画像生成回路、2408および2409および2410は画像メモリアンターフェース回路、2411は画像入力インターフェース回路、2412および2413はTV信号受信回路、2414は入力部である。

【0140】（なお、本図においては、テレビジョンをはじめとする各入力信号の音声成分に関する処理回路や

スピーカなどは省略している。)

以下、画像信号の流れに沿って各部の機能を説明してゆく。

【0141】まず、TV信号受信回路2413は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られるものではなく、たとえば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これよりさらに多数の走査線よりなるTV信号(たとえばMUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2413で受信されたTV信号は、デコーダ2414に出力される。

【0142】また、TV信号受信回路2412は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2413と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2404に出力される。

【0143】また、画像入力インターフェース回路2411は、たとえばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2404に出力される。

【0144】また、画像メモリインターフェース回路2410は、ビデオテープレコーダ(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2404に出力される。

【0145】また、画像メモリインターフェース回路2409は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2404に出力される。

【0146】また、画像メモリインターフェース回路2408は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2404に出力される。

【0147】また、入出力インターフェース回路2405は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2406と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0148】また、画像生成回路2407は、前記入出力インターフェース回路2405を介して外部から入力される画像データや文字・図形情報や、あるいはCPU

2406より出力される画像データや文字・図形情報のもとづき表示用画像データを生成するための回路である。本回路の内部には、たとえば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0149】本回路により生成された表示用画像データは、デコーダ2404に出力されるが、場合によっては前記入出力インターフェース回路2405を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【0150】また、CPU2406は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0151】たとえば、マルチプレクサ2403に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2402に対して制御信号を発生し、画面表示周波数や走査方法(たとえばインターレースかノンインターレースか)や一画面の走査線の数など表示装置の動作を適宜制御する。

【0152】また、前記画像生成回路2407に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2405を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0153】なお、CPU2406は、むろんこれ以外の目的の作業にも関わるものであって良い。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0154】あるいは、前述したように入出力インターフェース回路2405を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行っても良い。

【0155】また、入力部2414は、前記CPU2406に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、たとえばキーボードやマウスのほか、ジョイスティック、バーコードリーダ、音声認識装置など多様な入力機器を用いる事が可能である。

【0156】また、デコーダ2404は、前記2407ないし2413より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ2404は内部に画像メモリを備えるのが望ましい。これは、たとえばMUSE方式方式をはじめとし

て、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備える事により、静止画の表示が容易になる、あるいは前記画像生成回路2407およびCPU2406と協同して画像の間引き、補間、拡大、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生れるからである。

【0157】また、マルチプレクサ2403は、前記CPU2406より入力される制御信号にもとづき表示画像を適宜選択するものである。すなわち、マルチプレクサ2403はデコーダ2404から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2401に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0158】また、ディスプレイパネルコントローラ2402は、前記CPU2406より入力される制御信号にもとづき駆動回路2401の動作を制御するための回路である。

【0159】まず、ディスプレイパネルの基本的な動作に関わるものとして、たとえばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2401に対して出力する。

【0160】また、ディスプレイパネルの駆動方法に関わるものとして、たとえば画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）を制御するための信号を駆動回路2401に対して出力する。

【0161】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2401に対して出力する場合もある。

【0162】また、駆動回路2401は、ディスプレイパネル2400に印加する駆動信号を発生するための回路であり、前記マルチプレクサ2403から入力される画像信号と、前記ディスプレイパネルコントローラ2402より入力される制御信号にもとづいて動作するものである。

【0163】以上、各部の機能を説明したが、24図に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル2400に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ2404において逆変換された後、マルチプレクサ2403において適宜選択され、駆動回路2401に入力される。一方、ディスプレイコントローラ2402は、表示する画像信号に応じて駆動回路2401の動作を制御するための制御信号を発生する。駆動回路2401は、上

記画像信号と制御信号にもとづいてディスプレイパネル2400に駆動信号を印加する。これにより、ディスプレイパネル2400において画像が表示される。これらの一連の動作は、CPU2406により統括的に制御される。

【0164】また、本表示装置においては、前記デコーダ2404に内蔵する画像メモリや、画像生成回路2407およびCPU2406が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0165】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、画像の編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。しかも、ディスプレイパネルの薄形化が容易なため、装置の奥行きを小さくすることができる。それに加えて、大画面化が容易で輝度が高く視野角特性にも優れるため、臨場感あふれる画像を視認性良く表示する事が可能である。

【0166】〔第2実施例〕本発明のフォーミング法の第2実施例をフォーミングの部分のみ説明する。その他の部分は第1実施例と同様である。

【0167】はじめに、図4のように1行n列の素子をフォーミングする場合について説明する。まず、DY1にパルス幅1msec、周期10msec、0.1Vの波高の三角波を印加する。DX1、その他の端子はGNDである。次に1秒後にDX1はそのまま、DY1に0.2V、DY2に0.1Vの波高の三角波、DY3～DYnはGNDを印加する状態に切り換える。次の1秒後にはDY1に0.3V、DY2に0.2V、DY3に0.1Vと、昇圧する毎に切換え、各素子に対応する配線にかかる電圧が10Vになった後はGNDに切換える。図5に各時間毎の各素子にかかる電圧の推移を示す。これより電圧の印加されている素子は最大100個で、しかもその中でDY1側の素子程その波高が大きくなっていることがわかる。つまりDX1に流れる電流はn個の素子を並列にフォーミングした時と比べて大幅に軽減できる。しかも(100+n)秒かけてn個の素子をフォーミングするのでn個の素子を1つつつフォーミングした場合の時間(100×n)秒に比べ、時間的にも大幅に削減できる。またDY1側の素子より順にフォーミング電圧に達する、すなわち時間差を持って各素子が高抵抗化す

るため、該素子を並列に同電位でフォーミングするときと比べ、各素子が経験する電圧パターンのばらつきは非常に小さくなる。以上により、時間を大幅に短縮しながら複数の素子を同時にしかも均一にフォーミングすることが可能となる。

【0168】次に図6のように m 行 \times n 列のマトリクスで $D(1, 1) \sim D(1, n)$ の各素子を上記1行 n 列の場合と同様にフォーミングする方法について説明する。 $DX1$ (選択配線)および $DY1 \sim DYn$ の各配線に印加する電圧は上記1行 n 列の場合と同様である。 $DX2 \sim DXm$ (非選択配線)には DY 側の最高印加電圧の半分の印加する。これは $D(1, 1) \sim D(1, n)$ 以外の素子を通して $DX1$ に回り込む電流をなくし、かつ $D(1, 1) \sim D(1, n)$ 以外の素子になるべく電圧をかけないようにするためである。図7に各時間ごとの各配線に印加する電圧、及び各素子にかかる電圧の推移を示す。図中各素子の下に示した電圧は DY 側が高電位るとき正とした。 $D(1, 1) \sim D(1, n)$ の各素子は、図5の1行 n 列の場合と同様に電圧が印加され、また他の素子は $-5V \sim +5V$ の間の電圧が印加されていることがわかる。ここで各素子の特性が等しく、各行配線および列配線の抵抗が等しく、また各素子は $10V$ 以下かつ $5V$ より大きい印加電圧で高抵抗化されるとすると、上記1行 n 列の場合と同様に時間を大幅に短縮しながら複数の均一フォーミングが可能となる。

【0169】尚、 DX 側の選択配線は電流量が許す限り複数でも良く、非選択配線には DY 側の最高印加電圧の半分でない定電圧でも、また電位差を与えてもよい。

【0170】また上記の最大 100 という素子数は、最初の波高すなわち $DX1$ に印加する負電圧($DX1$ は GN でなく電位を与えてもよい)、最後の波高すなわち素子が十分に高抵抗化するために必要な電圧(本実施例では $10V$)及び昇圧レートによって決定されているため上記の限りではない。また本実施例のすべてにおいて行と列が反対でもよい。 $n < 100$ であっても同様である。

【0171】図26に、本実施例のフォーミング手順の流れ図を示す。 k, i は説明のための制御変数であり、それぞれパルスの印加される行番号、パルス数を制御するための変数である。また、 j, l はそれぞれパルスの印加される列番号及び行番号であり、制御変数ではなく、条件に適合する数値を一般的に表現するために用いている。 V_{max} はある時点で素子に印加される最大電圧を示す。

【0172】まず、第1行目からパルスの印加開始するが、最大電圧 V_{max} は $0.1[V]$ としておく。そして、配線 DYj に $V_{max} - 0.1 \times (j - 1)[V]$ の波高の幅 $1ms$ 周期 $10ms$ の三角パルス印加し、同時に配線 $DX1$ に $0.5 \times V_{max}$ の同パルス印加する。ただし、 DYj としては、($i \leq 100$)の場合には $j =$

$1 \sim i$ という i 個を対象とし、($i > 100$)の場合には $j = i - 99 \sim i$ という 100 個を対象とする。なお、 $j > n$ となったなら、その DYj は存在しないから対象としない。また、 $DX1$ の添え字 l の値は $1 \sim m$ であって k と異なる値である。以上、特に説明の無い配線はグラウンドレベルに保たれる。

【0173】このようにして選んだ配線に幅 $1ms$ 周期 $10ms$ のパルスを印加して1秒間経過した後、 V_{max} に 0.1 ずつ加算して、パルス印加の対象となる列をずらしながら、マトリクス全面にわたって完了するまで繰り返す。

【0174】[第3実施例]上記第1実施例と第2実施例の組み合わせである。第2実施例と同様にフォーミングの部分のみ説明する。図6において、まず $DX1$ (選択配線)、 $DY2 \sim DYn$ をグラウンド、 $DX2 \sim DXm$ (非選択配線)に $0.5V$ 、 $DY1$ に $0.1V$ の波高のパルス幅 $1msec$ の三角波を印加する。1パルス印加し終わったら(本実施例の場合1ミリ秒後)次に DY 側はそのままで $DX1$ の代わりに $DX2$ を選択する。

【0175】このようにして $DX10$ まで順次選択した後(本実施例の場合1秒後)再び $DX1$ に戻り $DY1$ を $0.2V$ 、 $DY2$ を $0.1V$ に昇圧する。その後は $DX1 \sim DX10$ を1秒間に走査しながら、第2実施例に従って1秒ごとに DY 側を昇圧する。図8に各時間ごとの各配線に印加する電圧、及び各素子にかかる電圧の推移を示す。以上のように本実施例では、第1実施例と第2実施例との組み合わせにより更なる時間短縮が可能であり、しかも一時に選択される配線の数も実施例2と同様なため、行方向間での素子の特性のバラつきを防止することができる。

【0176】尚、各パラメータは第1、第2実施例と同様上記の限りではない。

【0177】また、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいふまでもない。

【0178】

【発明の効果】以上説明したように、本発明の電子源およびそのフォーミング方法によれば、複数の表面伝導型放出素子のフォーミング時における各配線に流れる電流を低減して電子源に与えるダメージを防止するとともに、ばらつきのない均一なフォーミングを可能とし、所要時間も大幅に削減できるという効果がある。

【0179】

【図面の簡単な説明】

【図1】本実施例におけるフォーミングを行うための電気回路の概略構成を示したブロック図である。

【図2】本実施例の電子源の全マトリクスより 6×6 マトリクスを抽出した図である。

【図3】第1実施例の印加電圧のタイミング図である。

【図4】本実施例の電子源の全マトリクスより 6×1 マトリクスを抽出した図である。

【図5】図4の素子に印加される電圧と時間との関係を示した図である。

【図6】本実施例の電子源の全マトリクスの図である。

【図7】第2実施例の各時間における各配線及び各素子の印加電圧を示した図である。

【図8】第3実施例の印加電圧のタイミング図である。

【図9】本実施例の電子源の一部を表わす平面図である。

【図10】本実施例の電子源の断面図である。

【図11】本実施例の電子源の製造工程を示す図である。

【図12】本実施例の電子源の製造工程を示す図である。

【図13】本実施例で用いたマスク図である。

【図14】本実施例に係わる基本的な平面型表面伝導型放出素子の構成を示す平面図および断面図である。

【図15】電子放出部を有する表面伝導型放出素子の製造方法の一例を表わす図である。

【図16】フォーミング処理における電圧波形を表わす図である。

【図17】表面伝導型放出素子の電子放出特性を測定するための測定評価装置の概略構成図である。

【図18】表面伝導型放出素子の電子放出特性の一例を示す図である。

【図19】垂直表面伝導型放出素子の基本的な構成を示す図である。

【図20】マトリクス構造を有する電子源基板の一般的な構成を示す図である。

【図21】本実施例の画像形成装置の概略構成を表わす図である。

【図22】本実施例における蛍光膜を表わす図である。

【図23】従来の表面伝導型放出素子の典型的な素子構成を表わす図である。

【図24】電子源の応用例を示すブロック図である。

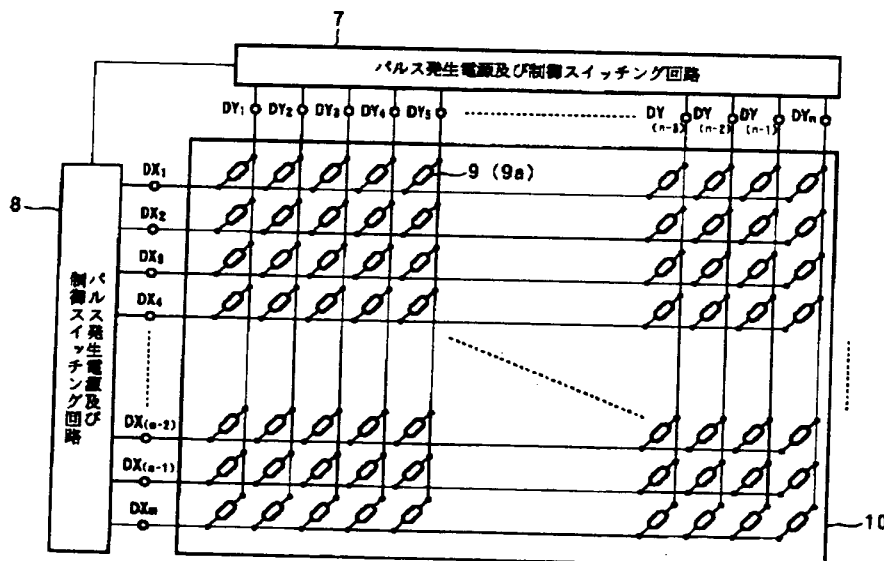
【図25】第1実施例のフォーミング手順を説明する流れ図である。

【図26】第2実施例のフォーミング手順を説明する流れ図である。

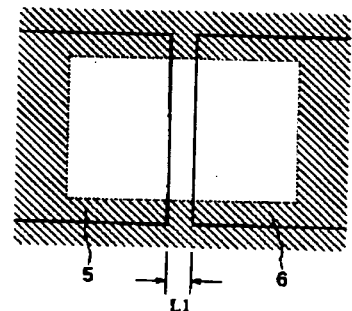
【符号の説明】

- 1 絶縁性基板
- 2 電子放出部形成用薄膜
- 3 電子放出部
- 4 電子放出部を含む薄膜
- 5 素子電極
- 6 素子電極
- 7 パルス発生電極および制御スイッチング回路
- 8 パルス発生電極および制御スイッチング回路
- 9 電子源素子
- 10 電子源
- 72 X方向配線
- 73 Y方向配線

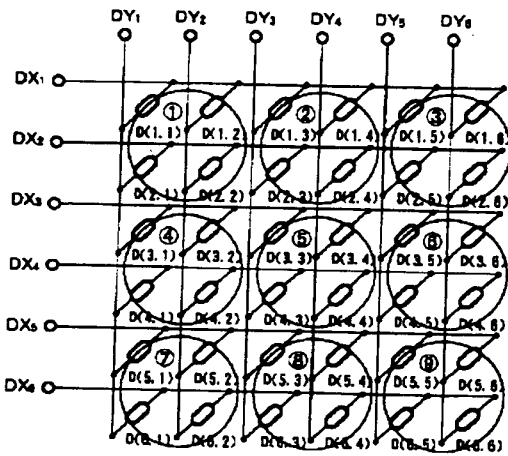
【図1】



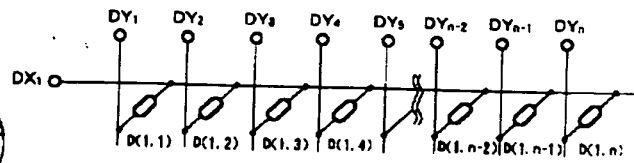
【図13】



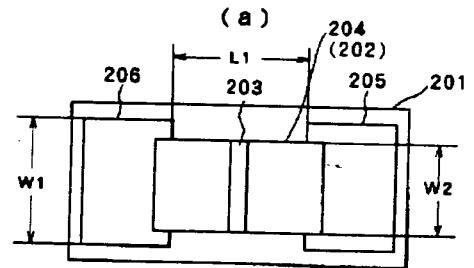
【図2】



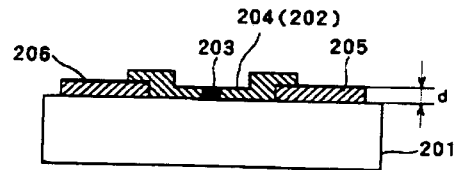
【図4】



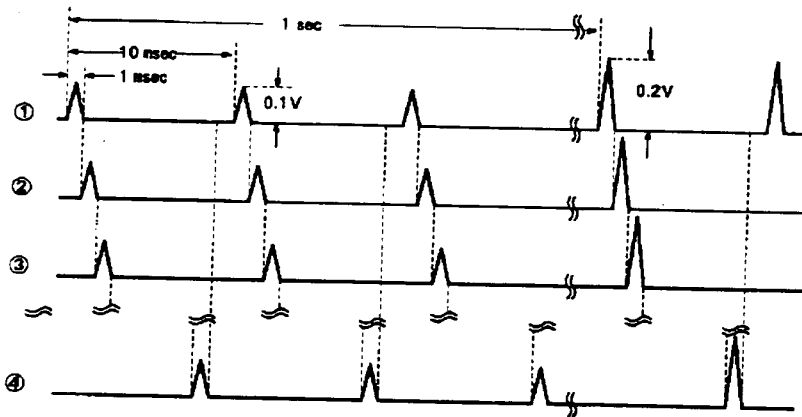
【図14】



(b)



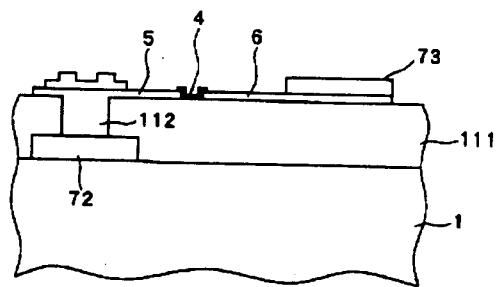
【図3】



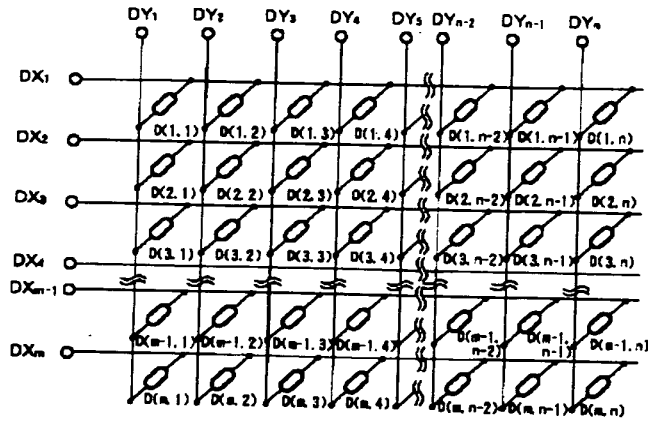
【図5】

$t=1$ (s)	D(1,1)	D(1,2)	D(1,3)	D(1,4)		D(1,n-2)	D(1,n-1)	D(1,n)
1	0.1 (V)	0	0	0	}}	0	0	0
2	0.2	0.1	0	0	}}	0	0	0
3	0.3	0.2	0.1	0	}}	0	0	0
4	0.4	0.3	0.2	0.1	}}	0	0	0
5	0.5	0.4	0.3	0.2	}}	0	0	0
...								
97+n	0	0	0	0	}}	10.0	9.9	9.8
98+n	0	0	0	0	}}	0	10.0	9.9
99+n	0	0	0	0	}}	0	0	10.0

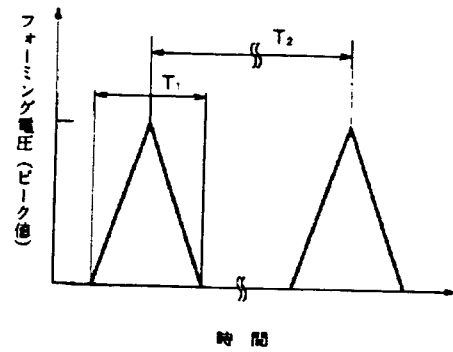
【図10】



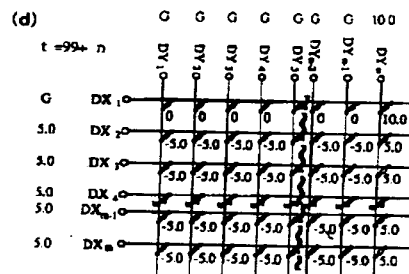
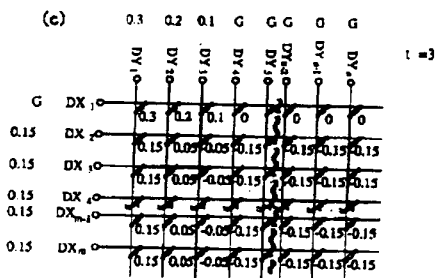
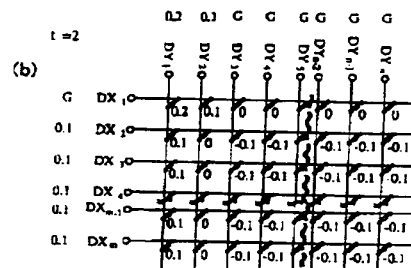
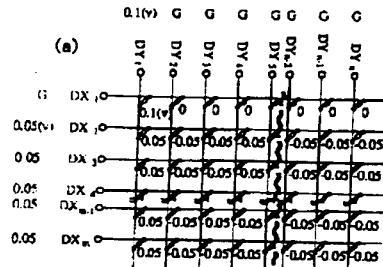
【図6】



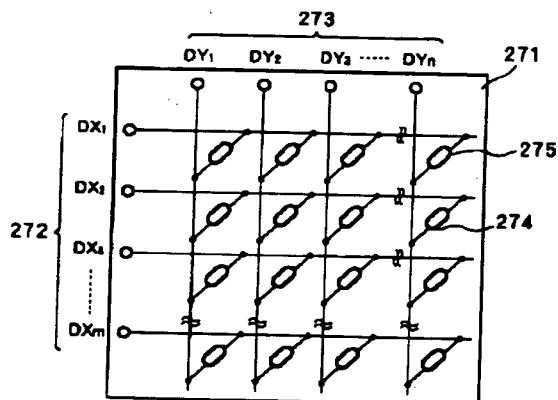
【図16】



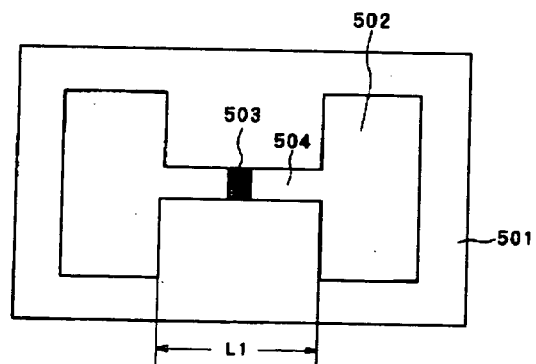
【図7】



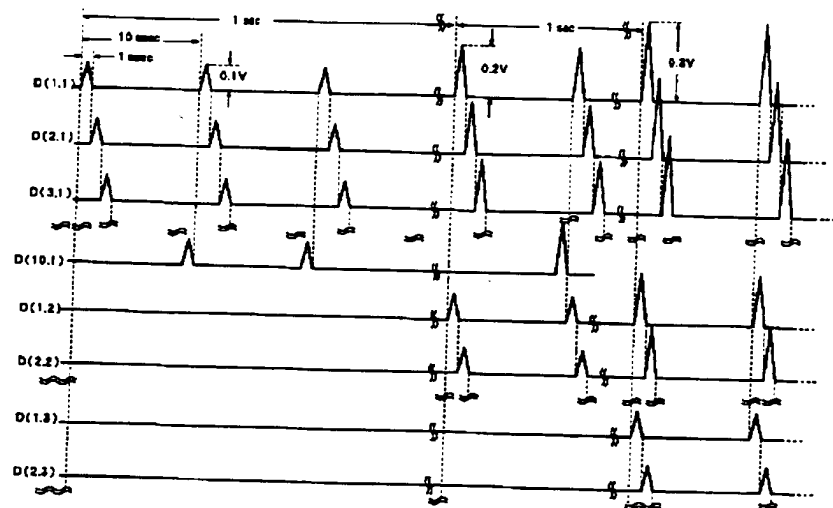
【図20】



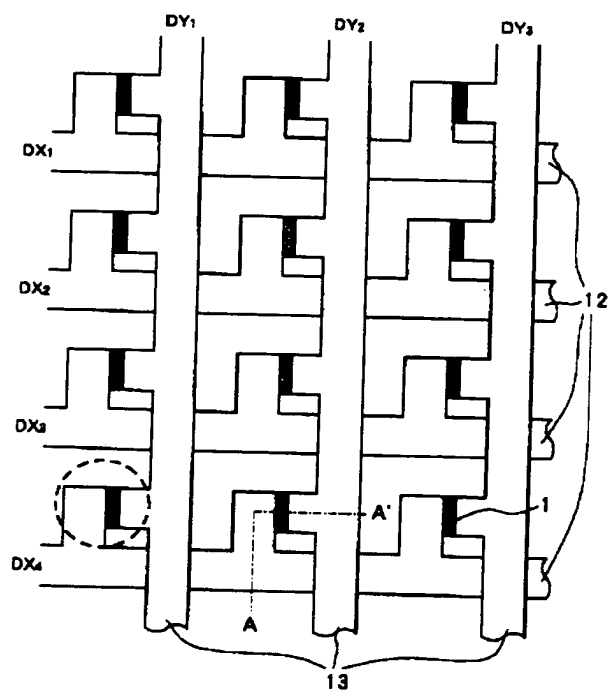
【図23】



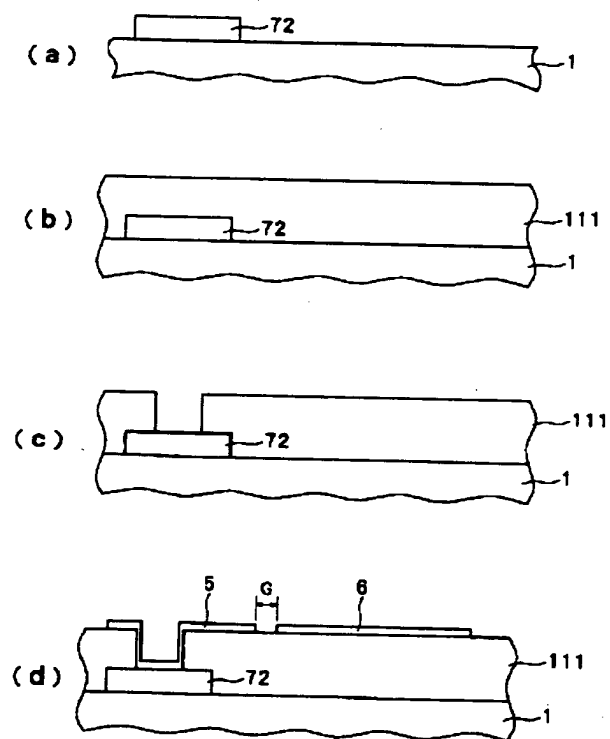
【図8】



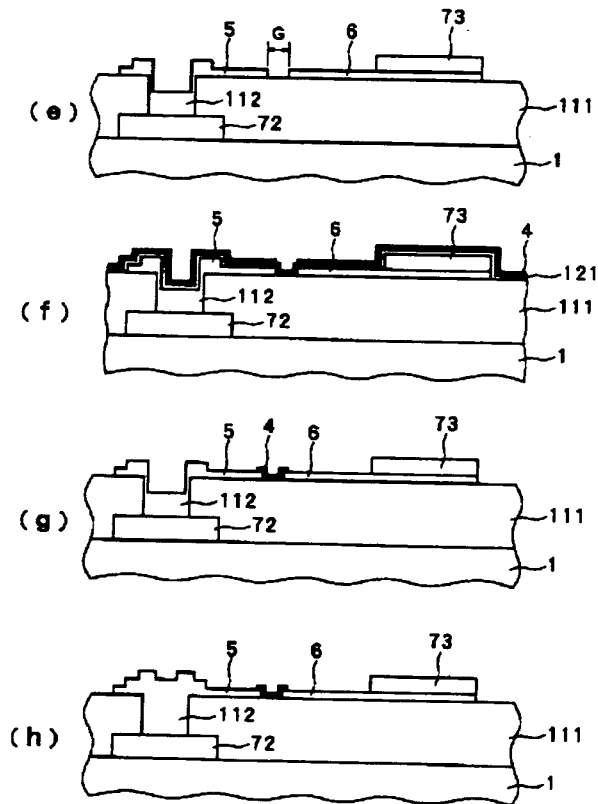
【図9】



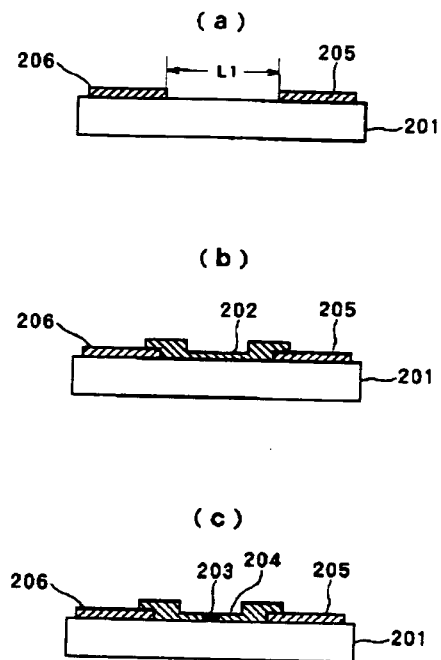
【図11】



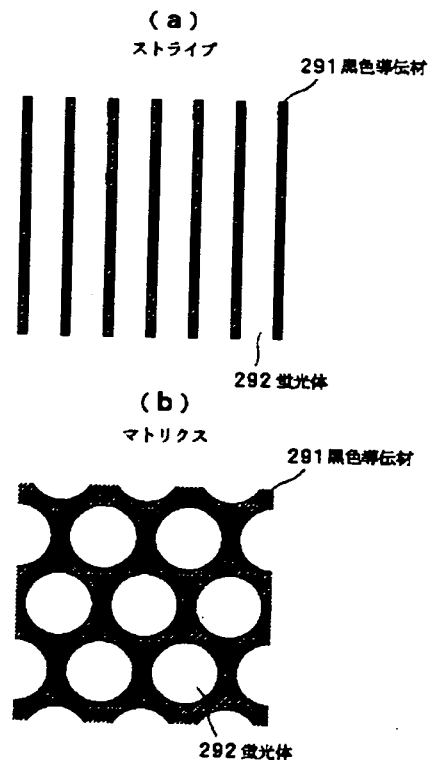
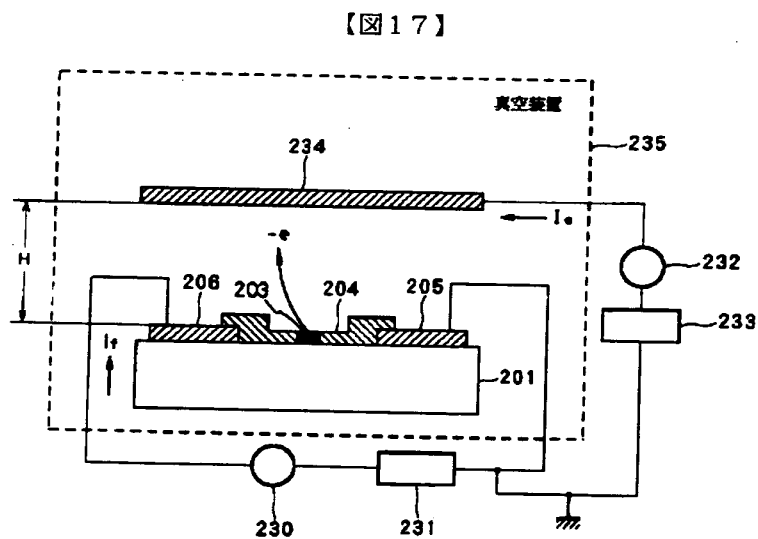
【図12】



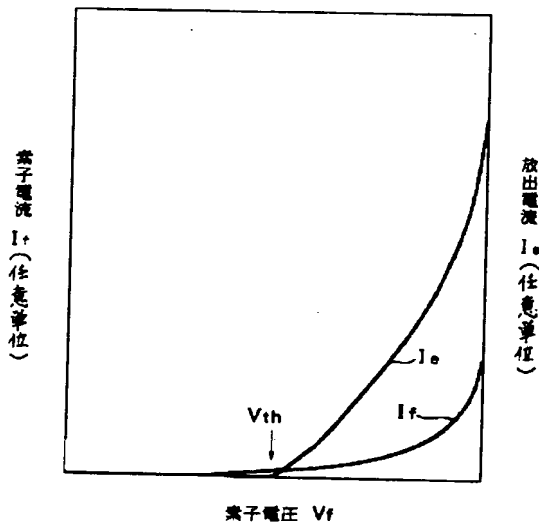
【図15】



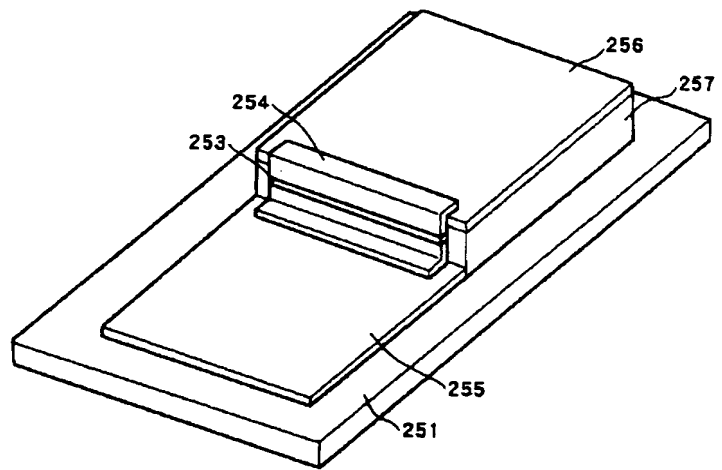
【図22】



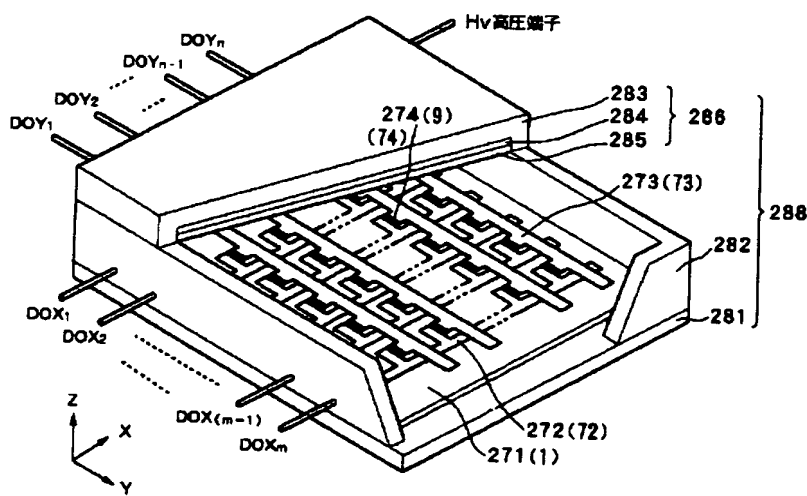
【図18】



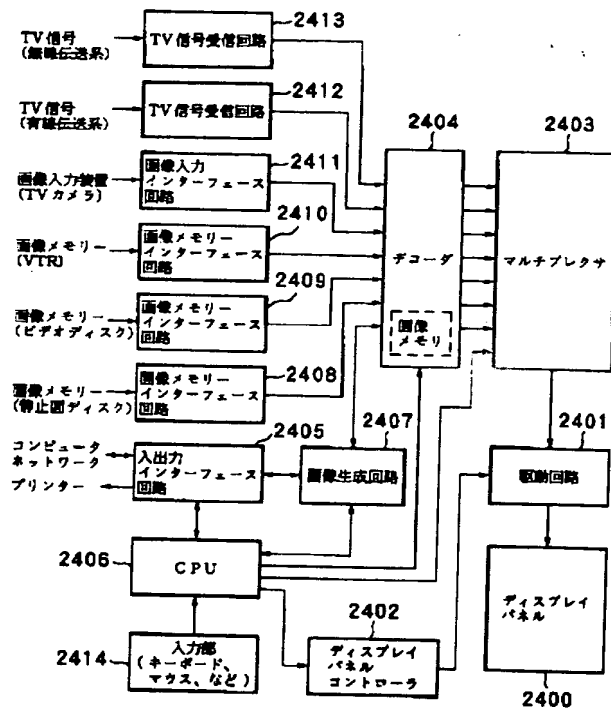
【図19】



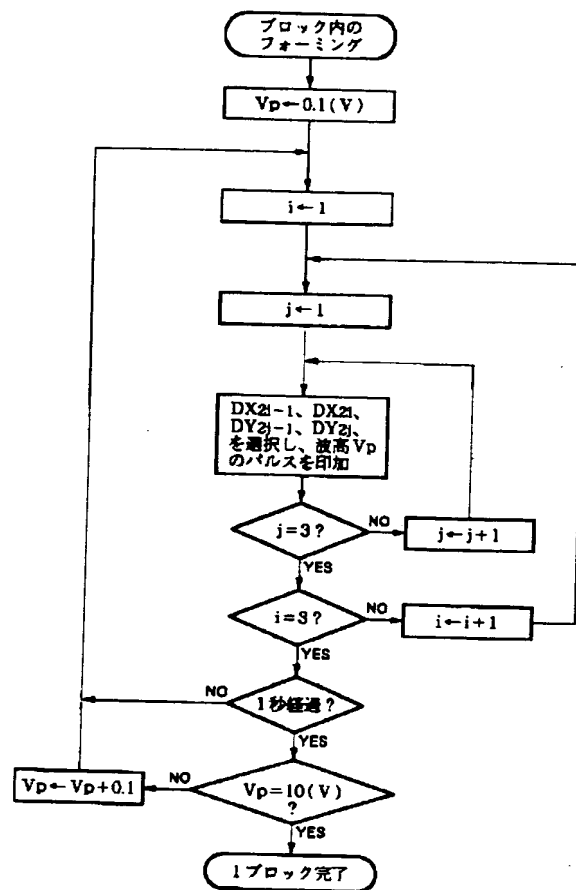
【図21】



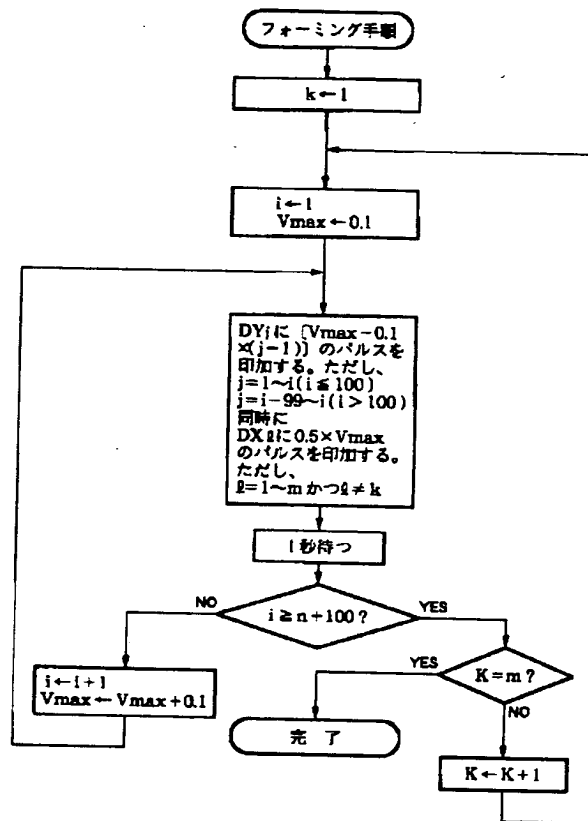
【図24】



【図25】



【図26】



フロントページの続き

(51)Int.Cl.⁶

// H 0 1 J 31/15

識別記号 庁内整理番号
C

F I

技術表示箇所